

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-115125

(43)Date of publication of application : 02.05.1995

(51)Int.Cl. H01L 21/76  
 H01L 21/316  
 H01L 27/08  
 H01L 29/78

(21)Application number : 05-280535 (71)Applicant : NEC CORP

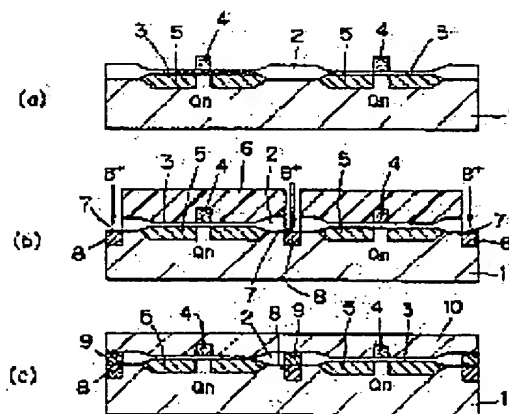
(22)Date of filing : 14.10.1993 (72)Inventor : MORIOKA SHOJI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREFOR

## (57)Abstract:

PURPOSE: To provide a semiconductor integrated circuit device, wherein a leakage current can be restrained from occurring even in an environment that  $\gamma$ -ray or X-ray may impinge on the device by a method wherein a channel stopper is enhanced in an inversion layer stop capacity.

CONSTITUTION: A field oxide film 2, a gate oxide film 3, and a gate electrode 4 are formed on a P-type semiconductor substrate 1, and arsenic ions are implanted for the formation of an N<sup>+</sup>-type diffusion layer 5 [figure (a)]. A photoresist film 6 provided with an opening located at the center of the field oxide film 2 is formed, the field oxide film 2 is selectively etched to be provided with a groove 7, and boron ions are implanted into the groove 7 to form a P<sup>+</sup>-type diffusion region 8 under the groove 7 [figure (b)]. A silicon oxide film 9 is formed inside the groove 7 through a liquid growth method, and an interlayer insulating film 10 is provided [figure (c)].



## LEGAL STATUS

[Date of request for examination] 24.03.1994

[Date of sending the examiner's decision of rejection] 18.03.1997

[Kind of final disposal of application]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-115125

(43) 公開日 平成7年(1995)5月2日

(51) Int.Cl.<sup>6</sup>H 0 1 L 21/76  
21/316  
27/08

識別記号

庁内整理番号

F I

技術表示箇所

3 3 1 B 9170-4M  
9169-4M  
9274-4MH 0 1 L 21/76  
21/94S  
A

審査請求 有 請求項の数 9 F D (全 6 頁) 最終頁に続く

(21) 出願番号 特願平5-280535

(22) 出願日 平成5年(1993)10月14日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 森岡 章次

東京都港区芝五丁目7番1号 日本電気株式会社内

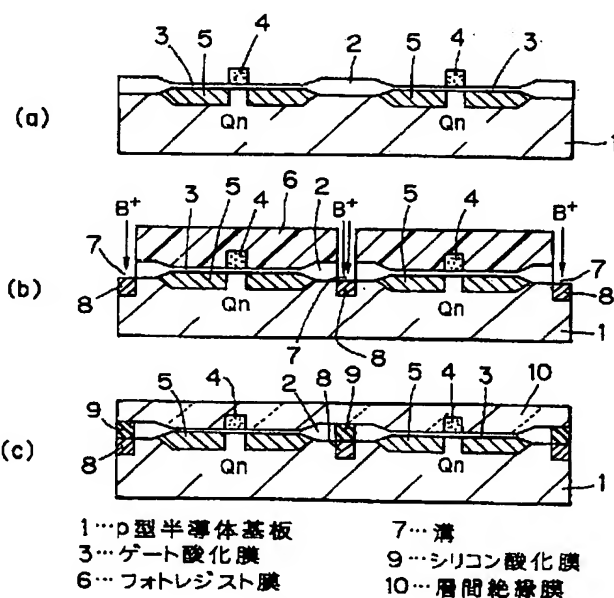
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【目的】 チャネルストップの反転層阻止能力を強化して、 $\gamma$ 線、X線の入射する環境下であっても電流リークの発生を抑制できるようにする。

【構成】 p型半導体基板1上にフィールド酸化膜2、ゲート酸化膜3及びゲート電極4を形成し、ヒ素をイオン注入してn<sup>+</sup>型拡散層5を形成する〔(a)図〕。フィールド酸化膜2の中央部に開口を有するフォトレジスト膜6を形成し、フィールド酸化膜を選択的にエッチングして溝7を形成し、ボロンをイオン注入して溝7直下にチャネルストップとなるp<sup>+</sup>型拡散領域8を形成する〔(b)図〕。液相成長法により溝7内にシリコン酸化膜9を形成し、層間絶縁膜10を形成する〔(c)図〕。



**【特許請求の範囲】**

【請求項1】 第1導電型半導体基板上または第1導電型ウェル上に、全膜厚を貫通またはほぼ貫通する溝が開設された素子分離用のフィールド絶縁膜が形成され、前記溝の直下のみにほぼ限定されて第1導電型の高不純物濃度拡散層が形成され、前記溝の少なくとも一部が絶縁物によって埋め込まれていることを特徴とする半導体集積回路装置。

【請求項2】 溝を埋め込む前記絶縁物がフッ素を含有していることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 溝を埋め込む前記絶縁物が液相成長法によって形成されたシリコン酸化膜であることを特徴とする請求項1記載の半導体集積回路装置。

【請求項4】 前記溝が、液相成長法によって形成されたシリコン酸化膜およびシールドプレートを構成する金属層によって埋め込まれていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項5】 半導体基板の表面を選択的に酸化して素子分離用のフィールド絶縁膜を形成する工程と、第1導電型半導体領域上の前記フィールド絶縁膜を選択的に除去して全膜厚を貫通またはほぼ貫通する溝を開設する工程と、第1導電型不純物をイオン注入して前記溝直下の前記半導体領域に高不純物濃度の第1導電型拡散層を形成する工程と、前記溝の少なくとも一部を絶縁物によって埋め込む工程と、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項6】 半導体基板の表面を選択的に酸化して素子分離用のフィールド絶縁膜を形成する工程と、前記フィールド絶縁膜で区画された領域にMOSトランジスタを形成する工程と、第1導電型半導体領域上の前記フィールド絶縁膜を選択的に除去して全膜厚を貫通またはほぼ貫通する溝を開設する工程と、第1導電型不純物をイオン注入して前記溝直下の前記半導体領域に高不純物濃度の第1導電型拡散層を形成する工程と、前記溝の少なくとも一部を絶縁物によって埋め込む工程と、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項7】 溝の少なくとも一部を絶縁物で埋め込む前記工程が、シリコン酸化膜の液相成長によって行われることを特徴とする請求項5または6記載の半導体集積回路装置の製造方法。

【請求項8】 前記フィールド絶縁膜を選択的に除去して溝を開設する工程と、イオン注入により前記溝直下の前記半導体領域に高不純物濃度の第1導電型拡散層を形成する工程と、前記溝の少なくとも一部を絶縁物によって埋め込む工程と、が同一のフォトリソ膜をマスクとして行われることを特徴とする請求項5または6記載の半導体集積回路装置の製造方法。

【請求項9】 液相成長法により前記溝内を部分的にシリコン酸化膜で埋め込んだ後、全面に金属層を被着しこ

れをエッチバックして前記溝の残りの部分を金属層で埋め込むことを特徴とする請求項5または6記載の半導体集積回路装置の製造方法。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】 本発明は、素子分離用のフィールド絶縁膜を備えた半導体集積回路装置およびその製造方法に関し、特に、宇宙用として用いることができるように、素子分離膜に高い耐放射線性が付与された半導体集積回路装置およびその製造方法に関する。

**【0002】**

【従来の技術】 半導体集積回路装置においては素子間を電氣的に分離する必要があるが、素子分離技術としては選択酸化法（LOCOS法）によるフィールド絶縁膜が広く採用されている。図5（a）は、フィールド絶縁膜を用いて素子分離を行っている従来の半導体集積回路装置の平面図であり、図5（b）はそのC-C'線の断面図である。この従来例を製作するには、p型半導体基板1の表面にチャネルストップとなるp<sup>+</sup>拡散領域14を形成した後、p<sup>+</sup>拡散領域14上に選択酸化法によりフィールド酸化膜2を形成し、フィールド酸化膜の形成されていない領域上にゲート酸化膜3を形成する。ゲート酸化膜3上にゲート電極4を形成した後、ゲート電極4およびフィールド酸化膜2をマスクとしてヒ素（As）をイオン注入してソース・ドレイン領域となるn<sup>+</sup>型拡散層5を形成する。このようにして形成されたnチャネルMOSトランジスタQn上にCVD法によりBPSG（Boro-phospho-silicate Glass）を堆積して層間絶縁膜10を形成する。

【0003】 この半導体集積回路装置にγ線やX線などの高エネルギーの放射線が入射した場合、フィールド酸化膜2において生成された電子-正孔対の内正孔がシリコン酸化膜付近に移動し、界面付近に分布する正孔トラップに捕獲され、フィールド酸化膜下部に固定電荷が蓄積する。フィールド酸化膜下には反転層の発生を防止するためのp<sup>+</sup>型拡散領域14が形成されているが、蓄積された固定電荷の量が増加すると、p<sup>+</sup>型拡散領域14に反転層が発生するようになり、異常電流経路が出現するため、隣接するMOSトランジスタ間に電流リークを生じる。

【0004】 図6（a）は、特開平2-192159号公報にて提案された、この異常電流経路の発生を防止する手段を有する従来例の平面図であり、図6（b）はそのD-D'線の断面図である。図6において、図5の部分と同等の部分には同一の参照番号が付されているので重複する説明は省略するが、この従来例ではフィールド酸化膜2の上面に凹状の溝15が形成されており、その溝15は層間絶縁膜10を構成するBPSGにより埋め込まれている。このように構成した半導体集積回路装置では、BPSG膜中に再結合中心や捕獲中心が多く含ま

れるため、 $\gamma$ 線やX線等で発生した正電荷は再結合中心や捕獲中心により再結合消滅あるいは捕獲不動化され、フィールド酸化膜2の下部に固定正電荷が蓄積されることは抑制される。

#### 【0005】

【発明が解決しようとする課題】上述した第1、第2の従来例では、いずれの場合にも $p^+$  拡散領域14は、ボロンイオン $B^+$ の半導体基板表面への導入により形成されるが、その後にフィールド酸化膜形成のために高温度の長時間の熱酸化工程を経るため、上記の $B^+$ が大きく拡散してしまい、この領域を十分に高濃度に保つことは困難である。このため、第1の従来例では勿論、第2の従来例でも、反転層発生防止機能は十分ではなく、蓄積された正電荷によりMOSトランジスタ間に異常電流経路が発生し電流リークが生じる。また、上記各従来例では、ボロンイオンの注入マスクが、フィールド酸化膜を形成するための窒化膜のパターニングマスクと同一であり、かつ $n^+$  型拡散層5がフィールド酸化膜2をマスクとして形成されるため、 $p^+$  型拡散領域14は $n^+$  型拡散層5と直接接触して形成されることになり、両拡散層間の接合破壊電圧が低くなるという問題があった。

#### 【0006】

【課題を解決するための手段】上記問題点を解決するため、本発明によれば、第1導電型半導体基板(1)上または第1導電型ウェル上に、全膜厚を貫通またはほぼ貫通する溝(7)が開設された素子分離用のフィールド絶縁膜(2)が形成され、前記溝の直下のみにほぼ限定されて第1導電型の高不純物濃度拡散層(8)が形成され、前記溝の少なくとも一部が絶縁物(9)によって埋め込まれていることを特徴とする半導体集積回路装置が提供される。

【0007】また、本発明によれば、半導体基板の表面を選択的に酸化して素子分離用のフィールド絶縁膜

(2)を形成する工程と、第1導電型半導体領域(1)上の前記フィールド絶縁膜を選択的に除去して全膜厚を貫通またはほぼ貫通する溝(7)を開設する工程と、第1導電型不純物(ボロン)をイオン注入して前記溝直下の前記半導体領域に高不純物濃度の第1導電型拡散層

(8)を形成する工程と、前記溝の少なくとも一部を絶縁物(9)によって埋め込む工程と、を含むことを特徴とする半導体集積回路装置の製造方法が提供される。

#### 【0008】

【実施例】次に、本発明の実施例について図面を参照して説明する。図1は、本発明の第1の実施例の配線工程前の状態を示す平面図であり、図2は、そのA-A'線断面での工程断面図である[図2(c)は、図1のA-A'線の断面図である]。図1に示されるように、ゲート電極4およびソース・ドレイン領域となる $n^+$ 型拡散層5を有する $n$ チャンネルMOSトランジスタ $Q_n$ は、フィールド酸化膜2に囲まれた活性領域内に形成されてい

る。フィールド酸化膜2下の半導体基板表面領域内にはチャンネルストップとなる $p^+$  型拡散領域8が形成されている。

【0009】本実施例の半導体集積回路装置は以下のよう製造される。抵抗率 $11.5 \sim 15.5 \Omega \cdot \text{cm}$ の $p$ 型半導体基板1の表面に、LOCOS法により、膜厚 $5000 \text{ \AA}$ 程度にフィールド酸化膜2を形成し、フィールド酸化膜2の形成されていない領域上に熱酸化法によりゲート酸化膜3を形成する。ゲート酸化膜3上に膜厚 $0.7 \mu\text{m}$ の多結晶シリコンを堆積しこれをパターニングしてゲート電極4を形成した後、ゲート電極4およびフィールド酸化膜2をマスクとしてヒ素を加速エネルギー $30 \text{ keV}$ 、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入してソース・ドレイン領域となる $n^+$  型拡散層5を形成する[図2(a)]。

【0010】フォトリソグラフィ技術により、フィールド酸化膜2の中央部に開口を有するフォトレジスト膜6を形成し、これをマスクとしてフィールド酸化膜2を選択的に除去してフィールド酸化膜を貫通する溝7を形成する。次に、フォトレジスト膜6をマスクとして溝7を通してボロンを、加速エネルギー $15 \text{ keV}$ 、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入して、溝7直下の半導体基板1の表面に $p^+$  型拡散領域8を形成する[図2(b)]。

【0011】さらに、フォトレジスト膜6をマスクとして液相成長法により $\text{SiO}_2$ を成長させてフィールド酸化膜2に形成された溝7を埋め込むシリコン酸化膜9を形成する。その後、フォトレジスト膜6をアッシングして除去し、CVD (Chemical Vapor Deposition) 法によりBPSGを成長させて層間絶縁膜10を形成する[図2(c)]。その後、常法により、コンタクトホールを開孔しアルミニウムを被着した後これをパターニングしてアルミニウム配線(図示なし)を形成する。

【0012】上記のように形成された半導体集積回路装置では、ボロンのイオン注入後に長時間の高温での熱処理工程がないので、チャンネルストップとしての $p^+$  型拡散領域8が大きく拡がることを防止することができる。すなわち、 $p^+$  型拡散領域8の不純物濃度を所定の高濃度に維持することができるとともに、ボロンのイオン注入範囲が狭いことと相まって拡散領域8とMOSトランジスタ $Q_n$ の $n^+$  型拡散層5との間の距離を十分に確保することができる。したがって、チャンネルストップ( $p^+$  型拡散領域)による電流リーク防止機能を強化することができるとともに、トランジスタ $Q_n$ の $n^+$  型拡散層5の空乏層のチャンネルストップ側への伸びを拡大させることができ、MOSトランジスタ $Q_n$ のソース・ドレインの接合破壊電圧の低下を防止することができる。

【0013】更に、液相成長法による $\text{SiO}_2$ 膜の成膜は、  

$$\text{H}_2\text{SiF}_6 + 2\text{H}_2\text{O} \longleftrightarrow 6\text{HF} + \text{SiO}_2$$

$\text{H}_3\text{BO}_3 + 4\text{HF} \rightarrow \text{BF}_4^- + \text{H}_3\text{O}^+ + 2\text{H}_2\text{O}$  の反応により行われるため、 $\text{BF}_4^-$  が形成されたシリコン酸化膜9中に残存することになる。酸化膜中に存在するフッ素Fが正電荷を捕獲不動化する機能のあることが知られており、溝7を埋める液相成長シリコン酸化膜のこの機能により、界面付近における固定正電荷の蓄積を抑制することができる。

【0014】図3は、本発明の第2の実施例の配線工程前の状態を示す平面図であり、図4は、そのB-B'線断面での工程断面図である〔図4(c)は、図3のB-B'線の断面図である〕。図3に示されるように、ゲート電極4およびソース・ドレイン領域となる $n^+$ 型拡散層5を有する $n$ チャネルMOSトランジスタ $Q_n$ と、ゲート電極4およびソース・ドレイン領域となる $p^+$ 型拡散層11を有する $p$ チャネルMOSトランジスタ $Q_p$ とは、フィールド酸化膜2に囲まれた活性領域内に形成されている。そして、トランジスタ $Q_n$ を囲むフィールド酸化膜2下の半導体基板表面領域内にはチャネルストップとなる $p^+$ 型拡散領域8が形成されている。

【0015】本実施例の半導体集積回路装置は以下のよう製造される。抵抗率 $1.5 \sim 15.5 \Omega \cdot \text{cm}$ の $p$ 型半導体基板1の表面に、リンをエネルギー $130 \text{ keV}$ 、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ の条件でイオン注入し、 $1200^\circ\text{C}$ の熱処理を行って、 $n$ ウェル12を形成する。次に、LOCOS法により、膜厚 $5000 \text{ \AA}$ 程度にフィールド酸化膜2を形成し、フィールド酸化膜2の形成されていない領域上にゲート酸化膜3を形成する。ゲート酸化膜3上に多結晶シリコンによりゲート電極4を形成した後、 $n$ ウェル12上をフォトリソで保護し、ゲート電極4およびフィールド酸化膜2をマスクとしてヒ素を加速エネルギー $30 \text{ keV}$ 、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入してトランジスタ $Q_n$ のソース・ドレイン領域となる $n^+$ 型拡散層5を形成する。続いて、 $n$ チャネルMOSトランジスタ側をフォトリソで保護し、ゲート電極4およびフィールド酸化膜2をマスクとしてボロンを加速エネルギー $20 \text{ keV}$ 、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入してトランジスタ $Q_p$ のソース・ドレイン領域となる $p^+$ 型拡散層11を形成する〔図4(a)〕。

【0016】次に、フォトリソグラフィ技術により、 $n$ チャネルMOSトランジスタ $Q_n$ を囲むフィールド酸化膜2の中央部に開口を有するフォトリソ膜6aを形成し、これをマスクとしてフィールド酸化膜2を選択的に除去してフィールド酸化膜を貫通する溝7を形成する。次に、フォトリソ膜6aをマスクとして溝7を通してフッ化ボロン( $\text{BF}_2^+$ )を、加速エネルギー $10 \text{ keV}$ 、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入して、溝7直下の半導体基板1の表面にチャネルストップとなる $p^+$ 型拡散領域8を形成する〔図4(b)〕。

【0017】さらに、フォトリソ膜6aをマスクと

して液相成長法により $\text{SiO}_2$ を膜厚 $20 \text{ nm}$ 程度に成長させてシリコン酸化膜9によりフィールド酸化膜2に形成された溝7の一部を埋め込む。次に、フォトリソ膜6aをアッシング除去し、スパッタ法により全面にタングステンを被着した後、エッチバックして溝7内にシールドプレート13を埋め込む。その後、CVD法によりBPSGを成長させて層間絶縁膜10を形成する

〔図4(c)〕。このシールドプレート13は、①接地する、②負の電圧を印加する、③フローティング状態とする、の何れかの態様において用いられる。その後、常法により、コンタクトホールを開孔しアルミニウムを被着した後これをパターニングしてアルミニウム配線を形成する。

【0018】本実施例においても $n$ チャネルMOSトランジスタを囲んで形成されるフィールド酸化膜下の $p^+$ 型拡散領域8の不純物濃度を高く維持できるので、隣接する $n$ チャネルMOSトランジスタ間および $n$ チャネルMOSトランジスタの $n^+$ 型拡散層5と $n$ ウェル12との間の電流リークを抑えることができる。また、溝内にシールドプレートを配置したことにより、寄生 $n$ チャネルMOSトランジスタのしきい値電圧の変動量を小さく抑えることができる。

【0019】以上好ましい実施例について説明したが、本発明はこれら実施例に限定されるものではなく、特許請求の範囲に記載された本願発明の要旨内において各種の変更が可能である。例えば、実施例においては、CMOS型半導体集積回路装置を形成するのに、 $p$ 型半導体基板を用いて $n$ ウェルを形成していたが、これを逆にして $n$ 型半導体基板中に $p$ ウェルを設けるようにすることもでき、また、 $p$ 型（または $n$ 型）半導体基板に $n$ ウェル、 $p$ ウェルの両方を形成するようにすることもできる。これらの場合、 $p$ ウェル上に形成されたフィールド酸化膜に溝を設けその溝の直下に $p^+$ 型拡散領域を形成するようにする。また、第1、第2の実施例では、フィールド酸化膜中の溝7は半導体基板表面にまで到達していたが、 $10 \sim 20 \text{ nm}$ 程度フィールド酸化膜を残した溝であってもよい。さらに、実施例ではMOSトランジスタ形成後に、溝7、 $p^+$ 型拡散領域8、シリコン酸化膜9を形成していたが、この順序を逆にして7～9を形成した後にMOSトランジスタを形成するようにすることができる。

【0020】

【発明の効果】以上説明したように、本発明による半導体集積回路装置は、フィールド酸化膜を形成した後に、このフィールド酸化膜を貫通するかあるいはほぼ貫通する溝を形成し、この溝を通してボロンを注入してチャネルストップとなる $p^+$ 型拡散領域を形成するものである。本発明によれば、チャネルストップ形成後に長時間の高温熱処理を経由しないようにすることができる。したがって、本発明によれば、十分に高濃度のチャネル

ストップパを形成することができ、宇宙等の $\gamma$ 線、X線の入射を受ける環境下にあっても反転層の発生を防止して電流リークを抑制することができる。また、本発明によれば、チャネルストップパを形成するための不純物導入領域が狭い範囲に限定されることおよび不純物導入後の高温履歴が少ないことにより、チャネルストップパをトランジスタのソース・ドレイン領域と接触させないように形成することが可能となり、これらの領域の接合破壊電圧を高く維持することができる。

【0021】また、本発明によれば、フィールド酸化膜に形成された溝内にFを含有するシリコン酸化膜を埋め込んでいるので、 $\gamma$ 線等の放射線により発生した正電荷をF<sup>-</sup>に捕獲させることができるので、素子間の異常電流リーク経路の発生を一層確実に抑制することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す平面図。

【図2】本発明の第1の実施例の製造方法を説明するための工程断面図。

【図3】本発明の第2の実施例を示す平面図。

【図4】本発明の第2の実施例の製造方法を説明するための工程断面図。

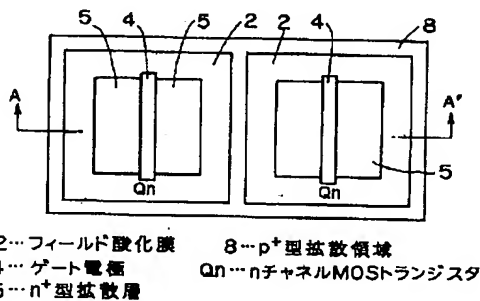
【図5】第1の従来例の平面図と断面図。

【図6】第2の従来例の平面図と断面図。

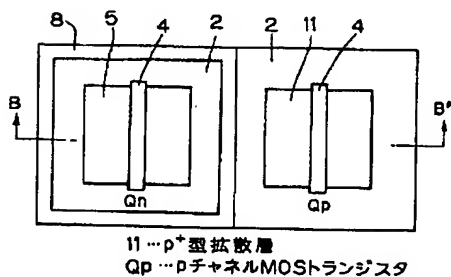
【符号の説明】

- 1 p型半導体基板
- 2 フィールド酸化膜
- 3 ゲート酸化膜
- 4 ゲート電極
- 5 n<sup>+</sup>型拡散層（トランジスタQ<sub>n</sub>のソース・ドレイン領域）
- 6、6a フォトリソグ膜
- 7 フィールド酸化膜に形成した溝
- 8 p<sup>+</sup>型拡散領域（チャネルストップパ）
- 9 液相成長法で形成したシリコン酸化膜
- 10 層間絶縁膜
- 11 p<sup>+</sup>型拡散層（トランジスタQ<sub>p</sub>のソース・ドレイン領域）
- 12 nウェル
- 13 シールドプレート
- 14 p<sup>+</sup>型拡散領域（チャネルストップパ）
- 15 フィールド酸化膜に形成した溝
- Q<sub>n</sub> nチャネルMOSトランジスタ
- Q<sub>p</sub> pチャネルMOSトランジスタ

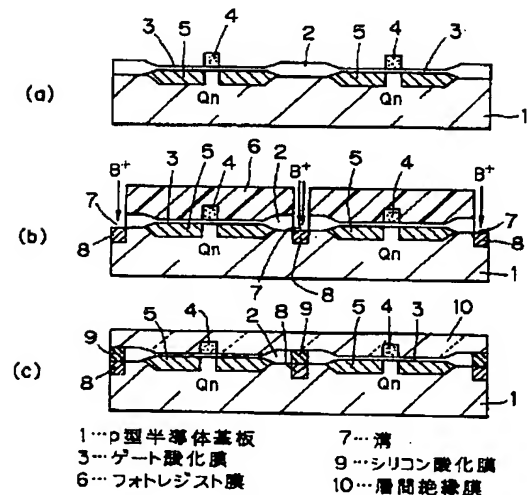
【図1】



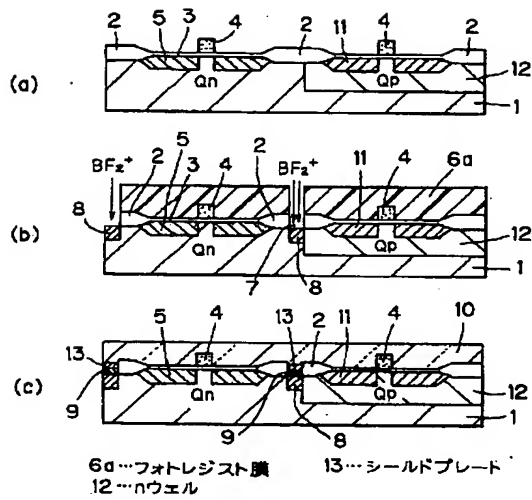
【図3】



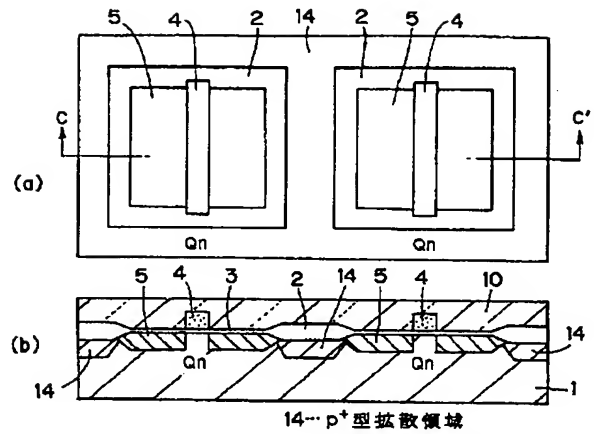
【図2】



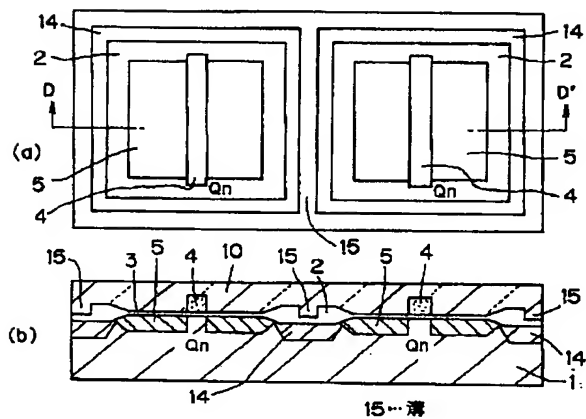
【図4】



【図5】



【図6】



フロントページの続き

(51) Int. Cl. 6

H01L 29/78

識別記号

庁内整理番号

F I

技術表示箇所

7514-4M

H01L 29/78

301 R